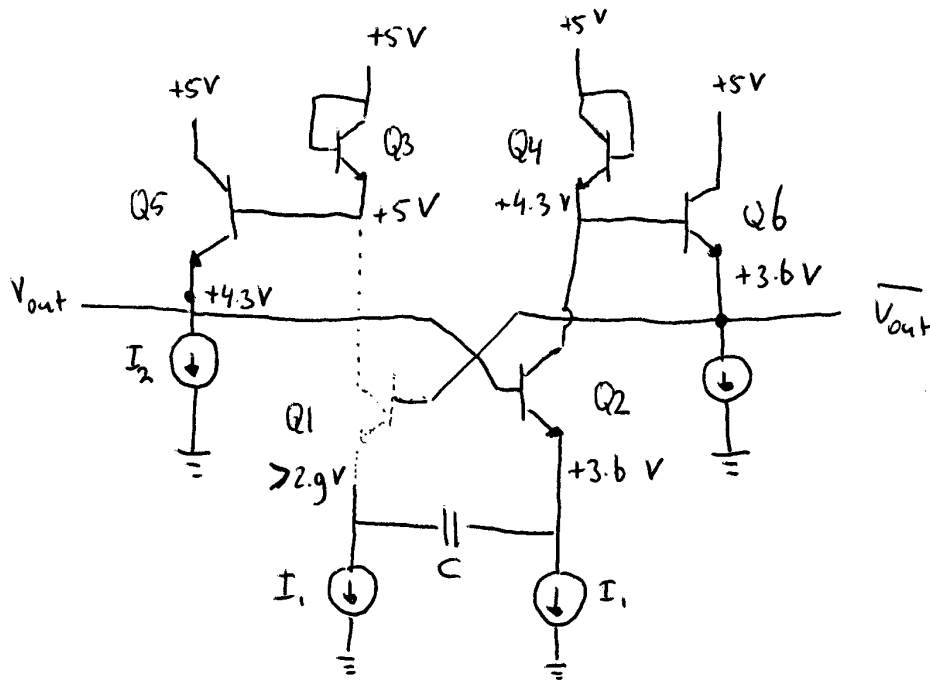


1a)

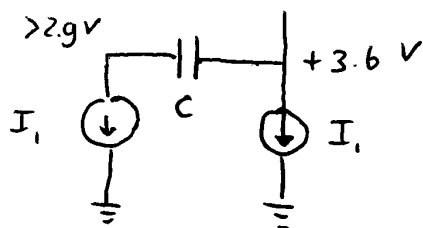


No circuito os transistores Q1 e Q2 são alternadamente desligados porque a tensão nos terminais do condensador C varia.

Suponhamos que no início da análise Q1 está desligado. (Nota que também Q3 está desligado).

Assumindo que $V_{BE} = 0.7\text{ V}$ (para os outros transistores) e $V_{BE1} < 0.7$ e $V_{BE3} = 0$, então temos as tensões indicadas nos vários nodos do circuito.

Temos a seguinte situação:



O pé direito do condensador fica em $+3.6\text{ V}$ (porque é "fixed" por $Q3 \rightarrow Q5 \rightarrow Q2$). A corrente $I1$ passa completamente através $Q2$

Ao outro lado, a corrente $I1$ carrega o condensador e a tensão vai cair de 2.9 V

Quando V_{E1} é menor de 2.9 V : $V_{BE1} > 0.7\text{ V}$

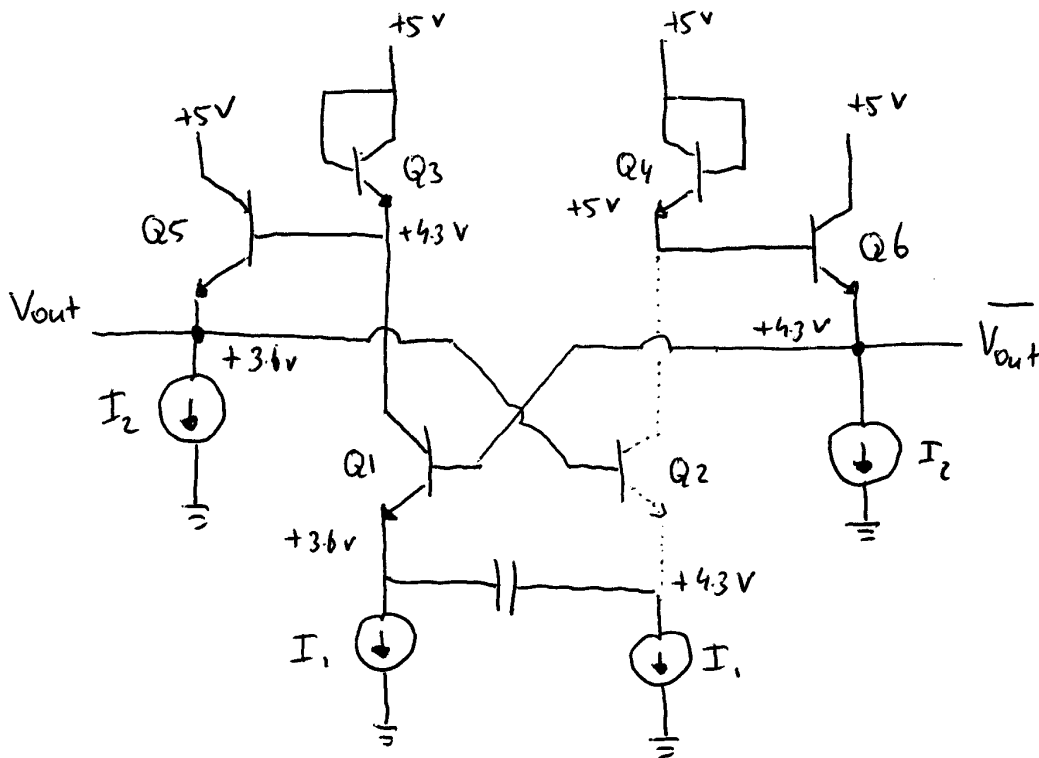
(nota $V_{B1} = V_{E6} = +3.6\text{ V}$ no início) e transistor $Q1$ abre. Também $Q3$ há corrente agora e tem agora uma queda de tensão 0.7 V .

$Q3$ abre $\rightarrow V_{E3} = 4.3\text{ V} \rightarrow V_{E5} = 3.6\text{ V} \rightarrow Q2$ fecha!
($V_{BE2} = 0$)

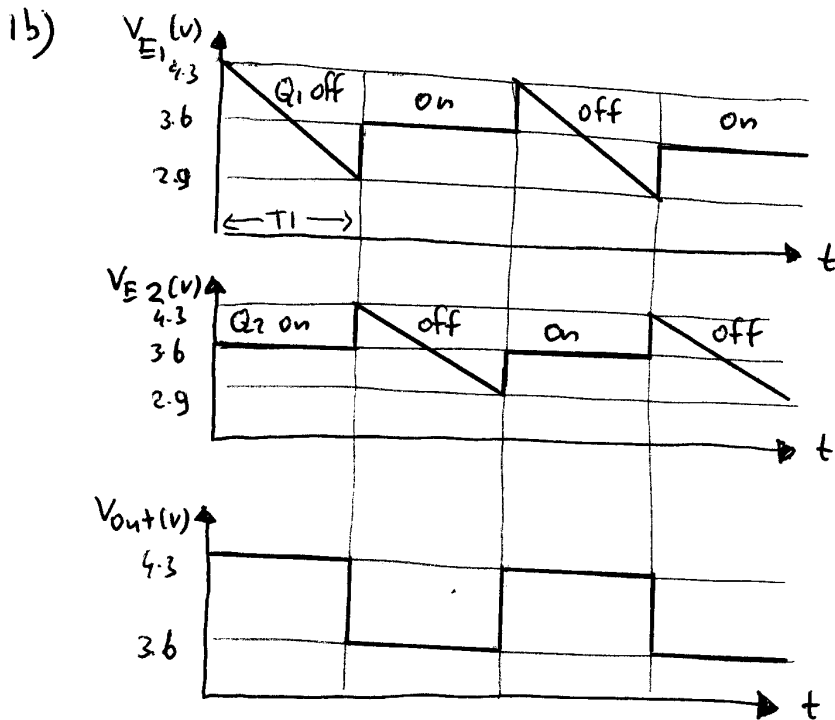
$Q2$ fecha $\rightarrow Q4$ não passe corrente $\Rightarrow V_{E4} = V_{B4} = +5\text{ V} \rightarrow V_{E6} = +4.3\text{ V} \rightarrow V_{B1} = +4.3\text{ V} \rightarrow V_{E1} = +3.6\text{ V}$

$Q2$ fecha $\rightarrow V_{E2}$ é "flutuante" e é definido por a tensão sobre C . (Nota que um condensador guarda a tensão instantaneamente) Antes a mudança foi $+0.7\text{ V}$. Depois será $V_{E1} + 0.7\text{ V} = +3.6\text{ V} + 0.7\text{ V} = +4.3\text{ V}$ (nota que $V_{BE2} = (+3.6\text{ V}) - (+4.3\text{ V}) < 0$ e $Q2$ está bem fechado !)

Neste momento temos as tensões seguintes:



e o processo recomeça, agora no outro lado.



$$V_{out} = +3.6V \text{ (Q1 abre)}$$

$$+4.3V \text{ (Q1 fechado)}$$

1c) Agora só falta determinar o período de oscilação. Quanto tempo demorre carregar o condensador?

Veja a Figura 3a (página 3). A tensão cai de $+4.3 \text{ V}$ até $+2.9 \text{ V}$ ($\Delta V = 1.4 \text{ V}$)

Também a carga no condensador é dada por

$$Q = CV$$

$$\frac{\Delta Q}{\Delta t} = C \cdot \frac{\Delta V}{\Delta t}$$

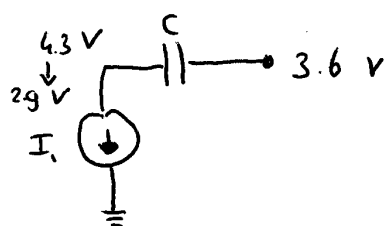
$$\frac{\Delta Q}{\Delta t} = I_1, \quad \Delta t = T_1, \quad \Delta V = 1.4 \text{ V}$$

$$\Rightarrow T_1 = C \cdot \frac{\Delta V}{I_1} = C \cdot \frac{1.4 \text{ V}}{I_1}$$

com $C = 2.5 \text{ pF}$, $I_1 = 10 \text{ } \mu\text{A}$:

$$T_1 = 3.5 \cdot 10^{-7} \text{ s.}$$

$$\text{frequência : } f_{\text{osc}} = \frac{1}{2T_1} = 1.43 \text{ MHz}$$



2 A ideia é igual. M1 e M2 vão alternadamente ligar e desligar. Vamos assumir que de início M1 está OFF

- M5 e M6 funcionam como fontes de corrente (dependente de V_{in})

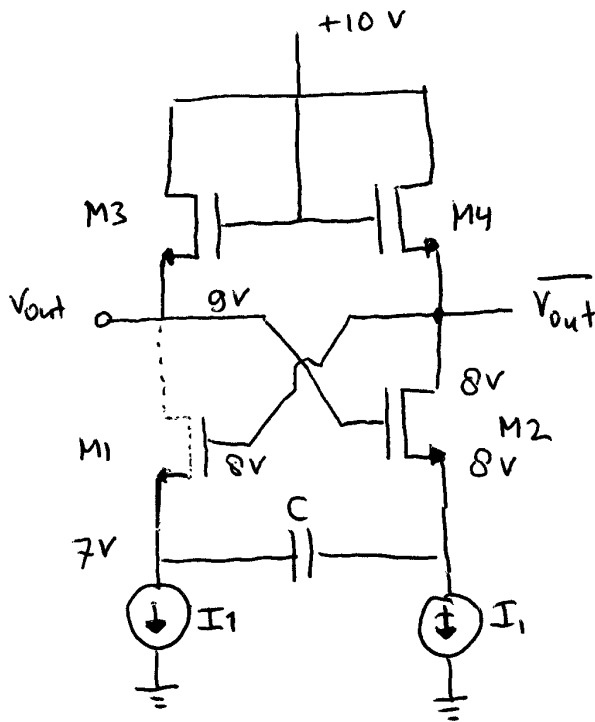
- M3 e M4 estão ligados como diodos.

M3 não passa corrente (M1 está OFF!) \Rightarrow

$$V_{S3} = V_{DD} - V_T = 9 \text{ V}$$

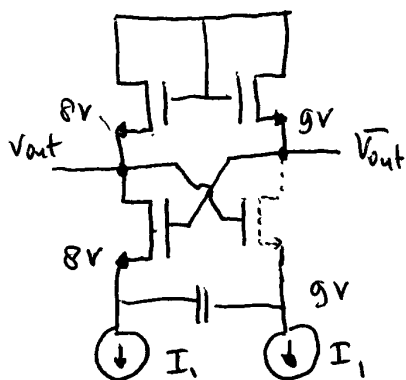
$$I_{DS} = \beta (V_{GS} - V_T) V_{DS} \quad (\text{lin.})$$

$$I_{DS} = \frac{1}{2} \beta (V_{GS} - V_T)^2 \quad (\text{sat.})$$



- M2 funciona na zona linear — a tensão no dreno e na fonte é aprox. $V_{S2} \approx V_{D2} = V_{G2} - V_T = 8V$
- M1 : $I=0 \Rightarrow V_S = V_G - V_T = 8 - 1 = 7V$

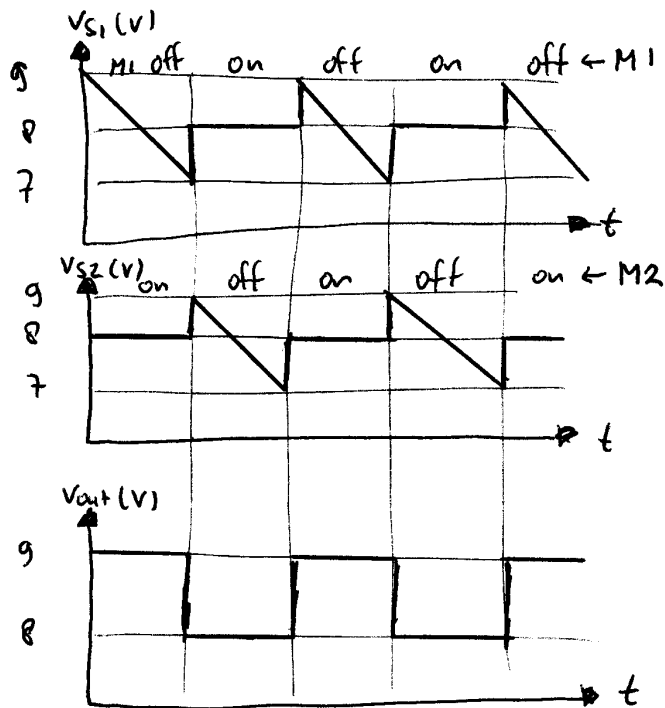
O condensador vai carregar, isto é V_{S1} vai baixar até ao valor $V_{S1} = V_{G1} - 1 = 7V$. Neste momento M1 liga e as tensões passam a ser:



Agora o pé direito do condensador: $V_{S2} = +9V$.

I_1 vai ^{des}carregar o condensador até $V_{S2} = +7V$ $\Delta V = +2V$

2b)



2c)

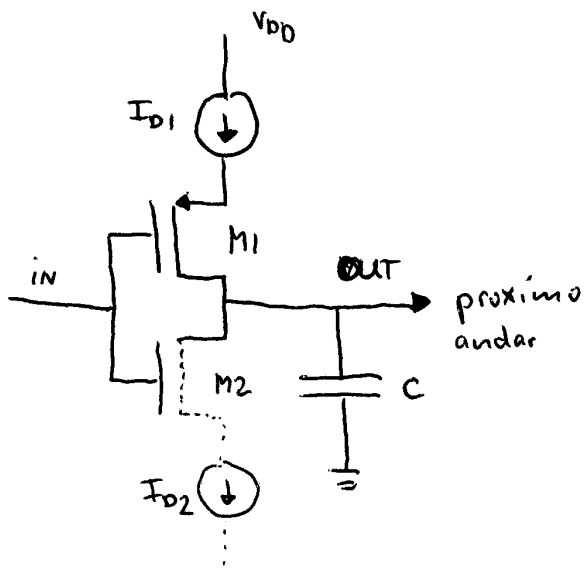
$$T1 = C \cdot \frac{2V_T}{I_1}, \quad \text{com } \left. \begin{array}{l} C = 2.5 \text{ pF} \\ I_1 = 10 \text{ } \mu\text{A} \\ V_T = 1 \text{ V} \end{array} \right\} \begin{array}{l} T1 = 5 \cdot 10^{-7} \text{ s} \\ f_{osc} = 1 \text{ MHz} \end{array}$$

I_1 é programável através V_{in} :

$$I_1 = \frac{\beta}{2} (V_{in} - V_T)^2, \quad \beta = \mu_n C_{ox} \frac{W}{L}$$

3) Temos um conjunto de inversores (5) em anel. Cada andar introduz um "delay". Vamos calcular o delay de um andar:

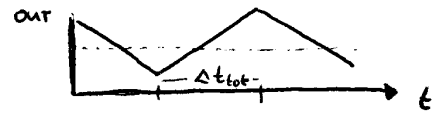
Os transistores M1 e M2 estão alternadamente ligados e desligados.



A corrente I_{D1} vai carregar o condensador C , porque $M2$ está fechado.

Quando $OUT > \frac{1}{2} V_{DD}$ o proximo andar comuta.

$M2$ ainda fica fechada e $M1$ ainda fica aberto (até IN comuta)

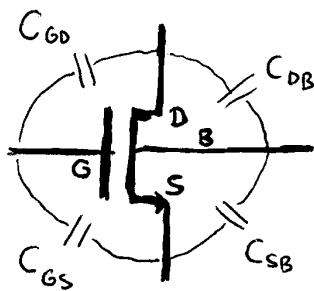


Cada andar introduze um delay de

$$\Delta t = C \cdot \frac{V_{DD}}{2} \cdot \frac{1}{I_D} \Rightarrow \Delta t_{tot} = S \cdot C \cdot \frac{V_{DD}}{2} \cdot \frac{1}{I_D}, f_{osc} = \frac{1}{2\Delta t_{tot}}$$

Falta só determinar C :

Cada transistor tem capacidades de junção no dreno e fonte

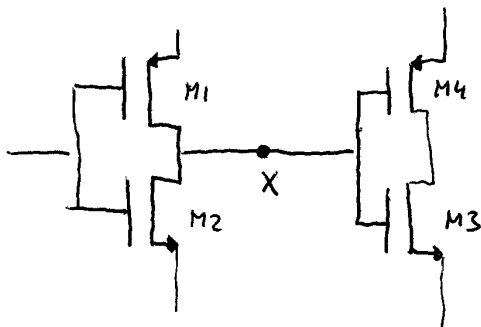


G = gate (porta)

D = drain (dreno)

S = source (fonte)

B = Bulk (base substrato)



C (em X) é:

$$C = C_{DB1} + C_{DB2} + C_{GS3} + C_{GD3} + C_{GS4} + C_{DB4} + C_{GD1} + C_{GD2}$$

(nota: há transistors com C_{GD} pequeno)